RoHS 指令対応



H8S/2643 PC/104 BUS CPU
BOARD

LF53 L

Hardware Manual

http://www.l-and-f.co.j

目次

表目次

図目次

※凡例

- 不定数値の表記は、x で表します。
- 数字の表記　2 進数は B'xxxx、16 進数は H'xxxx、10 進数は xxxx で表します。
- 記号の表記　ローアクティブの信号には先頭に n を付けています。
- 入出力方向は LF53L 側から見た方向を示します。
- 入出力記号はＩ＝入力、Ｏ＝出力、I/O＝入出力、OC＝オープンコレクタ、P＝電源を示します。
- デバイスロケーション番号後の（xx）は、端子 No.を示します。

※本製品主要実装デバイス資料掲載ＵＲＬ

- ルネサスエレクトロニクス㈱　http://japan.renesas.com/
- エプソントヨコム㈱　http://www5.epsondevice.com/ja/quartz/
- SPANSION　http://www.spansion.com/JP/
- アナログデバイゼス　http://www.analog.com/jp/
- アルテラ　http://www.altera.co.jp/

1. はじめに

この度は、H8S/2643 搭載 PC/104 BUS 多機能 CPU ボード LF53L をお買い上げいただき、誠にありがとうございます。

本製品を正しくご使用いただくために、本マニュアル、及び、LF53L に実装されているデバイスのマニュアルを充分お読みいただけますようお願い致します。

PC/104 とは？

組み込みコンピュータの仕様で「PC/104 コンソーシアム」が管理していて、フォームファクタとバスの両方が定義されています。 PC/104 は、極端な環境下でも確実なデータ収集が可能である特殊な組み込みコンピュータ環境に向いています。 このフォームファクタは民生品として市販されているので、「特別仕様の頑丈なシステム」が必要となった場合でも、数ヶ月もかけて設計したり書類仕事をしたりしなくても済み、基板サイズも約 100mm 角のコンパクトサイズで、カードゲージ無しで基板間を接続する事が可能です。



初めまして、組込最愛（くみこみもあい）と申します。
皆様の疑問質問にお答えしてまいりますので、どうぞよろしくお願い致します。

本マニュアルには、LF53Lの仕様や使用方法について書かれておりますので、ご活用頂ければ幸いです。

1.1. 梱包内容

基本梱包は下記の通りとなりますので、内容をご確認いただき、万が一不足しておりました場合は、お買い求め販売店、または、弊社サポートまでご連絡下さい。

- ＬＦ５３Ｌ　×　１枚
- 取扱説明書ディスク　×　１枚
- 電源供給用ハウジング　×　１個
- 同上コンタクト　×　２個
- ＰＣ／１０４用スペーサ　×　4 個
- M3 ナット　×　４個

1.2. オーダー情報

LF53L の CN6 の PC/104 コネクタの扱いにつきまして、下記枝番により部品添付、または、実装対応させていただきます。

型式：LF53L-①

↑項目番号（番号が省略された場合は、プレスフィットスタックコネクタ（LFCN64S-AP）を実装した状態での納品となります。）

表 1　オーダー仕様

項目番号	オプション内容	オプション番号	内　　容	使用部品型番
①	PC/104 コネクタ実装仕様	1	部品添付無、部品は非実装	－
		2	半田付けスタックコネクタを添付	LFCN64S-A
		3	プレスフィットスタックコネクタを添付	LFCN64S-AP
		4	半田付けノンスタックコネクタを添付	LFCN64N-A

2. 注意事項

本製品は、下記注意事項とともに本マニュアルに記載されている「製品保証」、「免責事項」をご確認いただいたきその内容をご諒承の上ご使用下さい。

2.1. 安全上のご注意



本製品には一般電子機器用（ＯＡ機器・通信機器・計測機器・工作機器等）に製造された半導体部品を使用しておりますので、その誤動作や故障が直接生命を脅かしたり、身体・財産等に危害を及ぼす恐れのある装置（医療機器・交通機器・燃焼制御・安全装置等）に組み込んで使用しないで下さい。

また、本製品は半導体製品を使用しております為、外来ノイズやサージ等により誤動作したり故障したりする可能性がありますので、ご使用になる場合は万一誤動作、故障した場合においても生命・身体・財産等が侵害されることのないよう、装置としての安全設計に万全を期されますようお願い致します。

2.2. 使用上のご注意

腐食性ガスや可燃性ガスの雰囲気中でのご使用はお止め下さい。

高湿度環境、水に濡れる恐れのある場所でのご使用はお止め下さい。

温度環境は、本マニュアルに記載された範囲以内でご使用下さい。

基板を金属板等、導電性物質の上に直接置いた状態での通電はお止め下さい。

電源・信号入出力端子に、定格以上の電圧・ノイズを印加しないで下さい。

2.3. その他注意事項

本製品の仕様・本書の内容については、改良の為に予告なく変更する事があります。

本製品・本製品を使用した機器を海外に持ち出される場合は、輸出許可が必要です。

本書に記載されている内容・回路図の著作権は、株式会社エル・アンド・エフが保有しており、それらを無断で転用・転載・掲載・譲渡・配布することは禁止します。

3. 製品保証

3.1. 無償修理

製品ご購入後 1 年間は、下記「有償修理」の場合を除き無償で修理致します。(弊社に製品をご返送いただいての修理・交換対応となります。(無償修理を除き、弊社にご送付いただく送料はお客様負担とさせていただきます))

また、保証は製品が日本国内で使用される場合に限り有効とさせていただきます。

3.2. 有償修理

1）製品が購入後 1 年以上経過しているもの。

2）仕様範囲外でのご使用、物理的／電気的ストレスを加えた等、お客様のお取扱いに起因する故障。

3）お客様にて製品を改造（CPLD の内容変更も含む）したための故障。

4）火災、地震、水害等の天災による故障。

3.3. 動作を保証できない項目

1）他社製品との接続互換性、相性による不具合。

2）本製品を仕様範囲外の環境でご使用された場合の不具合。

3）お客様にて製品を改造（CPLD の内容変更も含む）したための不具合。

3.4. 免責事項

当製品の故障、不具合、誤動作によって生じた損害等の純粋経済損失につきまして、弊社は一切その責任を負いません。

4. 製品概要

LF53L は、ルネサステクノロジー社製 CPU（H8S/2643）を搭載した、PC/104 サイズの CPU ボードです。

- CPU に HD64F2643FC25（ルネサステクノロジ社製）を搭載し、多機能且つ高速な動作が可能です。
- メモリは、電池バックアップ可能な SRAM(1MB)及び FLASH MEMORY(1MB)、EPROM(512Kbyte（オプション）を搭載しております。
- 実装オプションにより、PC/104BUS コンパチブルのスタッキング可能なコネクタの搭載が可能で､市販されている多種の PC/104 BUS インターフェースボードとカードゲージ等無しで接続できます。
  - プログラムは、CPU 内蔵 FLASH または LF53L 上 EPROM、FLASH MEMORY の何れからもブート可能です。
  - H8S/2643 内蔵の I/O 信号をコネクタより取出しが可能なため、基板単体においても、PWM 制御／位相計測／アナログ信号のサンプリング等のアプリケーションにも対応可能で、ボード単体でも幅広い応用が可能です。
  - RS232C ポート（TTL としても使用可能）を 5 チャネル搭載しています。
  - IrDA（バージョン 1.0 準拠）フォーマット対応ポートを使用した、光通信が可能です。(赤外線部は、別途ハードウェアが必要です。)

5. 製品仕様

5.1. 電気的特性

表 2　絶対最大定格

項　　　目	シンボル	定　格　値	単位
電源電圧	VCC	-0.3～+7.0	V
アナログ電源電圧	AVCC	-0.3～+7.0	V
CPU I/O 部入力電圧範囲	IOVin	- 0.3～VCC + 0.3	V
CPU アナログ部入力電圧範囲	AVin	- 0.3～AVCC + 0.3	V
RS232C 部入力電圧範囲	RSVin	±30	V
保存温度範囲	Tstg	0℃～+70℃（結露なきこと）（カタログ値）	℃

絶対最大定格を一瞬でも越えた場合、基板上デバイスが永久破壊される場合がありますのでご注意下さい。

表 3　推奨動作条件

項　　　目	シンボル	定　格　値	単位
電源電圧	VCC	0～+5.1	V
アナログ電源電圧	AVCC	0～+5.1	V
CPU I/O 部入力電圧範囲	IOVin	0～VCC	V
CPU アナログ部入力電圧範囲	AVin	0～AVCC	V
RS232C 部入力電圧範囲	RSVin	±5～±15	V
動作温度範囲	TA	0℃～+50℃（結露なきこと）（カタログ値）	℃

5.2. 一般仕様

表 4　一般仕様

項　　　目	内　　　容
消費電流	170mA（typ）
外形寸法	90.1mm×95.8mm
質量	約 60g（PC/104 コネクタを除く）

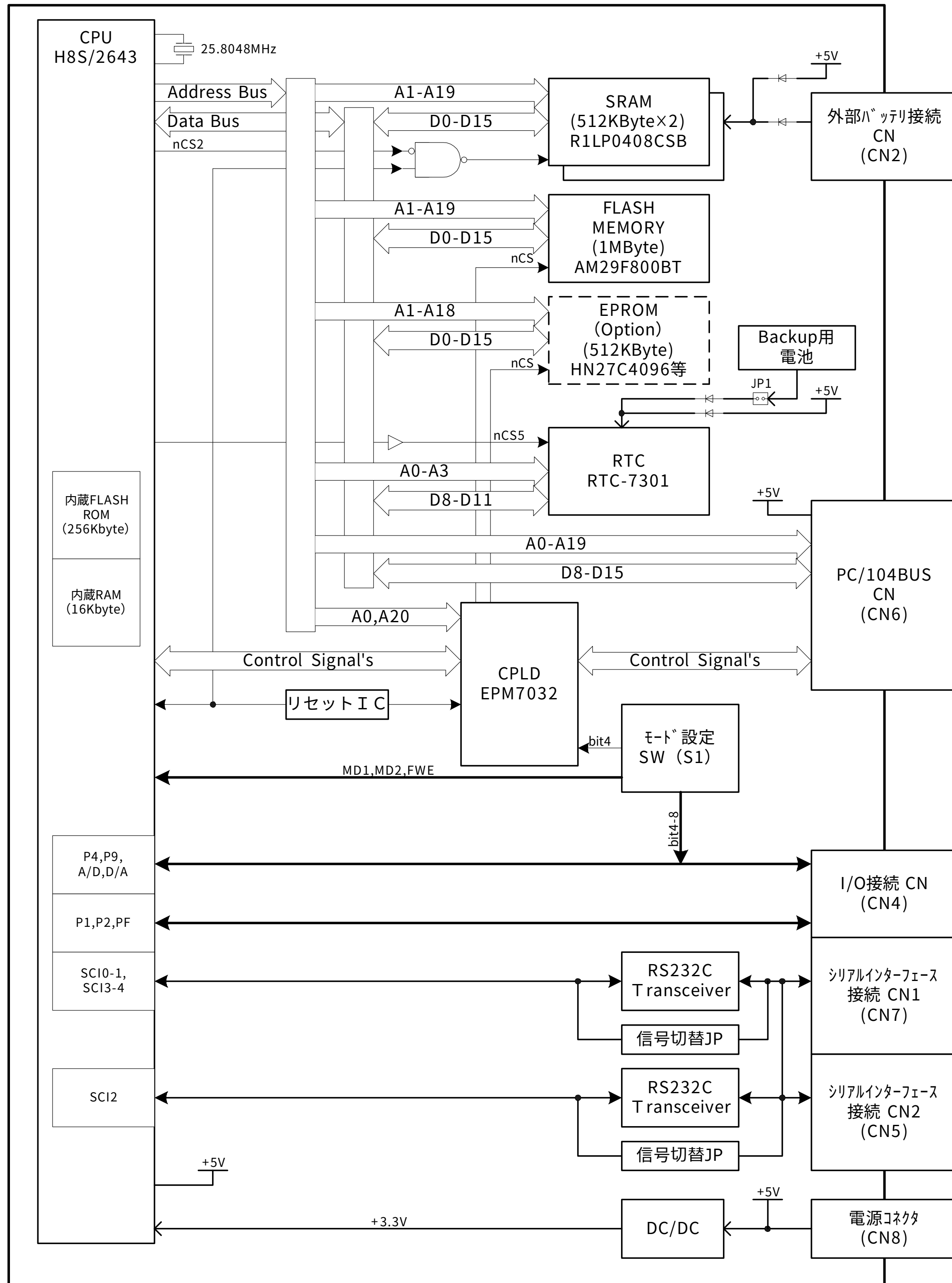
5.3. 主要部品使用

項　目	使用デバイス	仕　　　　　様
CPU	HD64F2643FC25V	・メーカー　：ルネサスエレクトロニクス ・動作周波数：最大 25MHz（LF53L では 25.8048MHz） ・内蔵機能　：・FLASH ROM（256Kbyte） ・SRAM（16Kbyte） ・シリアルポート（SCI）×5（内 IrDA 対応ポート×1） ・ダイレクトメモリアクセスコントローラ(DMAC)×4 ・データトランスファコントローラ(DTC) ・ウォッチドックタイマ×1 ・A/D コンバータ：（分解能 10 ビット）×16 （内 4 チャネルは、8 ビット D/A コンバータと兼用） ・16 ビットタイマパルスユニット(TPU)×6 ・プログラマブルパルスジェネレータ(PPG) ・8 ビットタイマ(TMR)×4
CPLD	EPM7064STC44-10N	・メーカー　：アルテラ ・機　　能：①　PC/104BUS データ入出力制御信号生成 ②　ボード上 MEMORY、I/O 制御信号生成
SRAM	R1LP0408CSB-5SC#BO または同等品×2	・メーカー　　：ルネサステクノロジ ・容　　量　：512Kbyte（１個当り） ・バックアップ：外部電池を接続することにより可能
Flash Memory	AM29F800BT-55ED または同等品	・メーカー：SPANSION 等 ・容　　量：1Mbyte
RS232C ﾄﾞﾗｲﾊﾞ	ADM211EARSZ または同等品×5	・メーカー：アナログデバイゼス ・電気的仕様：ＥＩＡ／ＴＩＡ－２３２－Ｅに準拠 ・最高伝送レート:230,400bps(LF53L では、MAX　115,200bps)
RTC	RTC-7301SF	・メーカー　：エプソントヨコム ・機　　能：①　30 秒アジャスト機能、デジタル歩度調整機能 ②　アラーム／タイマー割込機能 ③　半導体温度センサ内蔵
バッテリ	CR2032/1HF	・メーカー：パナソニック等 ・化学的性質: Lithium ・電池容量：220mAh ・再充電可能/再充電不可: Non-Rechargeable ・バックアップ対象デバイス：RTC

5.4. ブロック図

LF53L のブロック図を図 1 に示します。

図 1 LF53L ブロック図



6. CPU ペリフェラル接続仕様

本項では、LF53L 上デバイスのアドレス割付け及び、H8S/2643 各端子の割付けについて説明します。

6.1. メモリマップ

LF53L は、LF53L 上に実装されている S1 の Bit1 により、CPU(H8S/2643)の動作モードをモード 6、または、モード 4 に設定することが可能です。

モード 4 は、CPU 内蔵 ROM 無効モードであるため、CPU は最初に CPU の CS0 空間に割振られたデバイスのプログラムを実行します。

LF53L では、CS0 空間に EPROM／FLASH MEMORY を割当てることができ、どちらのデバイスからもブートが可能です。（LF53L 上に実装されている S1 の Bit4 により EPROM／FLASH MEMORY のアドレスマップを変更することができます。）

図２～図 5 に S1 の Bit1～Bit4 各設定時のメモリマップを示します。（未使用領域へはアクセスしないで下さい。）

図 2　ＣＰＵ動作モード６（１）アドレスマップ

アドレス	デバイス	容量	空間種類	BUS 幅	S1 の状態			
					bit1	bit2	bit3	bit4
H'000000～H'03FFFF	CPU 内蔵 FLASH ROM	256KB	CPU 内蔵 FLASH ROM	32bit	OFF	OFF	ON	OFF
H'040000～H'0BFFFF	EPROM(HN27C4096 等)	512KB	CS0	16bit				
H'0C0000～H'1FFFFF	未使用（アクセス禁止）	―						
H'200000～H'2FFFFF	FLASH MEMORY(AM29F800)	1MB	CS1	16bit				
H'300000～H'3FFFFF	未使用（アクセス禁止）	―						
H'400000～H'4FFFFF	SRAM(R1LP0408CSB 等×2)	1MB	CS2	16bit				
H'500000～H'5FFFFF	未使用（アクセス禁止）	―						
H'600000～H'7FFFFF	未使用（アクセス禁止）	―	CS3	―				
H'800000～H'80FFFF	PC/104 8bitBUS I/O	64KB	CS4	8bit				
H'810000～H'8FFFFF	未使用（アクセス禁止）	―						
H'900000～H'9FFFFF	PC/104 8bitBUS MEMORY	1MB						
H'A00000～H'A0000F	RTC(RTC-7301)	16B	CS5	8bit				
H'A00010～H'BFFFFF	未使用（アクセス禁止）	―						
H'C00000～H'CFFFFF	未使用（アクセス禁止）	―	CS6	8bit				
H'D00000～H'D00001	RS232C ステータスリード・ライトデバイス	2B						
H'D00002～H'DFFFFF	未使用（アクセス禁止）	―						
H'E00000～H'FFAFFF	未使用（アクセス禁止）	―	CS7	―				
H'FFB000～H'FFEFBF	CPU 内蔵 RAM	16KB	―	32bit				
H'FFEFC0～H'FFF7FF	未使用（アクセス禁止）	―	CS7	―				
H'FFF800～H'FFFF3F	CPU 内蔵 I/O	―	―	8/16bit				
H'FFFF40～H'FFFF5F	未使用（アクセス禁止）	―	CS7	―				
H'FFFF60～H'FFFFBF	CPU 内蔵 I/O	―	―	8/16bit				
H'FFFFC0～H'FFFFFF	CPU 内蔵 RAM	64B	―	32bit				

図 3 ＣＰＵ動作モード６（２）アドレスマップ

アドレス	デバイス	容量	空間種類	BUS 幅	S1 の状態			
					bit1	bit2	bit3	bit4
H'000000～H'03FFFF	CPU 内蔵 FLASH ROM	256KB	CPU 内蔵 FLASH ROM	32bit	OFF	OFF	ON	ON
H'040000～H'13FFFF	FLASH MEMORY(AM29F800)	1MB	CS0	16bit				
H'140000～H'1FFFFF	未使用（アクセス禁止）	–						
H'200000～H'27FFFF	EPROM(HN27C4096 等)	512KB	CS1	16bit				
H'280000～H'3FFFFF	未使用（アクセス禁止）	–						
H'400000～H'4FFFFF	SRAM(R1LP0408CSB 等×2)	1MB	CS2	16bit				
H'500000～H'5FFFFF	未使用（アクセス禁止）	–						
H'600000～H'7FFFFF	未使用（アクセス禁止）	–	CS3	–				
H'800000～H'80FFFF	PC/104 8bitBUS I/O	64KB	CS4	8bit				
H'810000～H'8FFFFF	未使用（アクセス禁止）	–						
H'900000～H'9FFFFF	PC/104 8bitBUS MEMORY	1MB						
H'A00000～H'A0000F	RTC(RTC-7301)	16B	CS5	8bit				
H'A00010～H'BFFFFF	未使用（アクセス禁止）	–						
H'C00000～H'CFFFFF	未使用（アクセス禁止）	–	CS6	8bit				
H'D00000～H'D00001	RS232C ステータスリード・ライトデバイス	2B						
H'D00002～H'DFFFFF	未使用（アクセス禁止）	–						
H'E00000～H'FFAFFF	未使用（アクセス禁止）	–	CS7	–				
H'FFB000～H'FFEFBF	CPU 内蔵 RAM	16KB	–	32bit				
H'FFEFC0～H'FFF7FF	未使用（アクセス禁止）	–	CS7	–				
H'FFF800～H'FFFF3F	CPU 内蔵 I/O	–	–	8/16bit				
H'FFFF40～H'FFFF5F	未使用（アクセス禁止）	–	CS7	–				
H'FFFF60～H'FFFFBF	CPU 内蔵 I/O	–	–	8/16bit				
H'FFFFC0～H'FFFFFF	CPU 内蔵 RAM	64B	–	32bit				

図 4　ＣＰＵ動作モード４（１）アドレスマップ

アドレス	デバイス	容量	空間種類	BUS 幅	S1 の状態			
					bit1	bit2	bit3	bit4
H'000000～H'07FFFF	EPROM(HN27C4096 等)	512KB	CS0	16bit	ON	OFF	ON	OFF
H'080000～H'1FFFFF	未使用（アクセス禁止）	－						
H'200000～H'2FFFFF	FLASH MEMORY(AM29F800)	1MB	CS1	16bit				
H'300000～H'3FFFFF	未使用（アクセス禁止）	－						
H'400000～H'4FFFFF	SRAM(R1LP0408CSB 等×2)	1MB	CS2	16bit				
H'500000～H'5FFFFF	未使用（アクセス禁止）	－						
H'600000～H'7FFFFF	未使用（アクセス禁止）	－	CS3	－				
H'800000～H'80FFFF	PC/104 8bitBUS I/O	64KB	CS4	8bit				
H'810000～H'8FFFFF	未使用（アクセス禁止）	－						
H'900000～H'9FFFFF	PC/104 8bitBUS MEMORY	1MB						
H'A00000～H'A0000F	RTC(RTC-7301)	16B	CS5	8bit				
H'A00010～H'BFFFFF	未使用（アクセス禁止）	－						
H'C00000～H'CFFFFF	未使用（アクセス禁止）	－	CS6	8bit				
H'D00000～H'D00001	RS232C ステータスリード・ライトデバイス	2B						
H'D00002～H'DFFFFF	未使用（アクセス禁止）	－						
H'E00000～H'FFAFFF	未使用（アクセス禁止）	－	CS7	－				
H'FFB000～H'FFEFBF	CPU 内蔵 RAM	16KB	－	32bit				
H'FFEFC0～H'FFF7FF	未使用（アクセス禁止）	－	CS7	－				
H'FFF800～H'FFFF3F	CPU 内蔵 I/O	－	－	8/16bit				
H'FFFF40～H'FFFF5F	未使用（アクセス禁止）	－	CS7	－				
H'FFFF60～H'FFFFBF	CPU 内蔵 I/O	－	－	8/16bit				
H'FFFFC0～H'FFFFFF	CPU 内蔵 RAM	64B	－	32bit				

図 5　ＣＰＵ動作モード４（２）アドレスマップ

アドレス	デバイス	容量	空間種類	BUS 幅	S1 の状態			
					bit1	bit2	bit3	bit4
H'000000～H'0FFFFF	FLASH MEMORY(AM29F800)	1MB	CS0	16bit	ON	OFF	ON	ON
H'100000～H'1FFFFF	未使用（アクセス禁止）	－						
H'200000～H'27FFFF	EPROM(HN27C4096 等)	512KB	CS1	16bit				
H'280000～H'3FFFFF	未使用（アクセス禁止）	－						
H'400000～H'4FFFFF	SRAM(R1LP0408CSB 等×2)	1MB	CS2	16bit				
H'500000～H'5FFFFF	未使用（アクセス禁止）	－						
H'600000～H'7FFFFF	未使用（アクセス禁止）	－	CS3	－				
H'800000～H'80FFFF	PC/104 8bitBUS I/O	64KB	CS4	8bit				
H'810000～H'8FFFFF	未使用（アクセス禁止）	－						
H'900000～H'9FFFFF	PC/104 8bitBUS MEMORY	1MB						
H'A00000～H'A0000F	RTC(RTC-7301)	16B	CS5	8bit				
H'A00010～H'BFFFFF	未使用（アクセス禁止）	－						
H'C00000～H'CFFFFF	未使用（アクセス禁止）	－	CS6	8bit				
H'D00000～H'D00001	RS232C ステータスリード・ライトデバイス	2B						
H'D00002～H'DFFFFF	未使用（アクセス禁止）	－						
H'E00000～H'FFAFFF	未使用（アクセス禁止）	－	CS7	－				
H'FFB000～H'FFEFBF	CPU 内蔵 RAM	16KB	－	32bit				
H'FFEFC0～H'FFF7FF	未使用（アクセス禁止）	－	CS7	－				
H'FFF800～H'FFFF3F	CPU 内蔵 I/O	－	－	8/16bit				
H'FFFF40～H'FFFF5F	未使用（アクセス禁止）	－	CS7	－				
H'FFFF60～H'FFFFBF	CPU 内蔵 I/O	－	－	8/16bit				
H'FFFFC0～H'FFFFFF	CPU 内蔵 RAM	64B	－	32bit				

6.2. CPU 各端子の設定

CPU の各端子は、CPU 内部の設定レジスタにより起動時に表 5 の状態に設定する必要があります。（設定に誤りがあると LF53L が動作しない場合があります。）

表 5　CPU 各端子の設定

関連ｺﾝﾄﾛｰﾗ名称	端子名	I/O	機　　能
I/O,TPU,PPG, 割込みｺﾝﾄﾛｰﾗ	P17/PO15/TIOCB2/PWM3/TCLKD	I/O	汎用入出力(CN4(34)に接続)
	P16/PO14/TIOCA2/PWM2/nIRQ1	I	未接続（10KΩでﾌﾟﾙｱｯﾌﾟ）
	P15/PO13/TIOCB1/TCLKC	I/O	汎用入出力(CN4(32)に接続)
	P14/PO12/TIOCA1/nIRQ0	I	nIRQ0 に設定(RTC-7301(nIRQ)に接続)
	P13/PO11/TIOCD0/TCLKB	I/O	汎用入出力(CN4(30)に接続)
	P12/PO10/TIOCC0/TCLKA	I/O	汎用入出力(CN4(28)に接続)
	P11/PO9/TIOCB0	I/O	汎用入出力(CN4(26)に接続)
	P10/PO8/TIOCA0	I/O	汎用入出力(CN4(24)に接続)
I/O,TPU,PPG,	P27/PO7/TIOCB5	I/O	汎用入出力(CN4(37)に接続)
	P26/PO6/TIOCA5	I/O	汎用入出力(CN4(35)に接続)
	P25/PO5/TIOCB4	I/O	汎用入出力(CN4(33)に接続)
	P24/PO4/TIOCA4	I/O	汎用入出力(CN4(31)に接続)
	P23/PO3/TIOCD3	I/O	汎用入出力(CN4(29)に接続)
	P22/PO2/TIOCC3	I/O	汎用入出力(CN4(27)に接続)
	P21/PO1/TIOCB3	I/O	汎用入出力(CN4(25)に接続)
	P20/PO0/TIOCA3	I/O	汎用入出力(CN4(23)に接続)
I/O,SCI, 割込みｺﾝﾄﾛｰﾗ	P37/TxD4	O	RS232C TxD4(CN7(35)に接続)
	P36/RxD4	I	RS232C RxD4(CN7(33)に接続)
	P35/SCK1/SCK4/SCL0/nIRQ5	I	nIRQ5 に設定(PC/104BUS IRQ5 に接続)
	P34/RxD1/SDA0	I	RS232C RxD1(CN7(13)に接続)
	P33/TxD1/SCL1	O	RS232C TxD1(CN7(15)に接続)
	P32/SCK0/SDA1/nIRQ4	I	nIRQ4 に設定(PC/104BUS IRQ4 に接続)
	P31/RxD0/IrRxD	I	RS232C RxD0(CN7(3)に接続)
	P30/TxD0/IrTxD	O	RS232C TxD0(CN7(5)に接続)

（続く）

（続き）

関連ｺﾝﾄﾛｰﾗ名称	端子名	I/O	機　　能
I/O, A/D 変換機	P47/AN7/DA1	I/O	ADC CH7 ﾃﾞｰﾀ/DAC CH1 ﾃﾞｰﾀ(CN4(19)に接続)
	P46/AN6/DA0	I/O	ADC CH6 ﾃﾞｰﾀ/DAC CH0 ﾃﾞｰﾀ(CN4(17)に接続)
	P45/AN5	I	ADC CH5 ﾃﾞｰﾀ(CN4(15)に接続)
	P44/AN4	I	ADC CH4 ﾃﾞｰﾀ/RTC 温度値(CN4(13)に接続)[※1]
	P43/AN3	I	ADC CH3 ﾃﾞｰﾀ(CN4(11)に接続)/S1(8)[※2]
	P42/AN2	I	ADC CH2 ﾃﾞｰﾀ(CN4(9)に接続)/S1(7)[※2]
	P41/AN1	I	ADC CH1 ﾃﾞｰﾀ(CN4(7)に接続)/S1(6)[※2]
	P40/AN0	I	ADC CH0 ﾃﾞｰﾀ(CN4(5)に接続)/S1(5)[※2]
I/O,SCI	P52/SCK2	I	RS232C DCD2(CN7(41)に接続)
	P51/RxD2	I	RS232C RxD2(CN7(43)に接続)
	P50/TxD2	O	RS232C TxD2(CN7(45)に接続)
	P83/nTEND1	O	n TEND1 に設定(PC/104BUS TC に接続)
	P82/nTEND0	O	n TEND0 に設定(PC/104BUS TC に接続)
	P81/nDREQ1	I	nDREQ1 に設定(PC/104BUS DREQ2 に接続)
	P80/nDREQ0	I	nDREQ0 に設定(PC/104BUS DREQ1 に接続)
I/O, A/D 変換機	P97/AN15/DA3	I/O	ADC CH15 ﾃﾞｰﾀ/DAC CH3 ﾃﾞｰﾀ(CN4(20)に接続)
	P96/AN14/DA2	I/O	ADC CH14 ﾃﾞｰﾀ/DAC CH2 ﾃﾞｰﾀ(CN4(18)に接続)
	P95/AN13	I	ADC CH13 ﾃﾞｰﾀ(CN4(16)に接続)
	P94/AN12	I	ADC CH12 ﾃﾞｰﾀ(CN4(14)に接続)
	P93/AN11	I	ADC CH11 ﾃﾞｰﾀ(CN4(12)に接続)
	P92/AN10	I	ADC CH10 ﾃﾞｰﾀ(CN4(10)に接続)
	P91/AN9	I	ADC CH9 ﾃﾞｰﾀ(CN4(8)に接続)
	P90/AN8	I	ADC CH8 ﾃﾞｰﾀ(CN4(6)に接続)
I/O, ﾊﾞｽｺﾝﾄﾛｰﾗ	PA7/A23	O	RS232C RTS2(CN7(44)に接続)
	PA6/A22	O	RS232C DTR2(CN7(47)に接続)
	PA5/A21	O	LED1 制御（0:点灯 1:消灯）
	PA4/A20	O	A20 に設定
	PA3/A19	O	A19 に設定
	PA2/A18	O	A18 に設定
	PA1/A17	O	A17 に設定
	PA0/A16	O	A16 に設定

（続く）

（続き）

関連ｺﾝﾄﾛｰﾗ名称	端子名	I/O	機　　　能
I/O,ﾊﾞｽｺﾝﾄﾛｰﾗ	PB7/A15～PB0/A8	O	A15～A8 に設定
I/O,ﾊﾞｽｺﾝﾄﾛｰﾗ	PC7/A7～PB0/A0	O	A7～A0
I/O,ﾊﾞｽｺﾝﾄﾛｰﾗ	PD7/D15～PD0/D8	I/O	D15～D8
I/O,ﾊﾞｽｺﾝﾄﾛｰﾗ	PE7/D7～PE0/D0	I/O	D7～D0 に設定
I/O,ﾊﾞｽｺﾝﾄﾛｰﾗ, 割込みｺﾝﾄﾛｰﾗ	PF7/φ	O	φ出力に設定(PC/104BUS SYSCLK に接続)
	PF6/nAS/nLCAS	O	nAS に設定
	PF5/nRD	O	nRD
	PF4/nHWR	O	nHWR
	PF3/nLWR/nADTRG/nIRQ3	O	nLWR に設定
	PF2/nLCAS/nWAIT/nBREQO	I	nWAIT に設定(PC/104BUS IOCHRDY に接続)
	PF1/nBACK/BUZZ	I/O	汎用入出力(CN4(36)に接続)
	PF0/nBREQ/nIRQ2	I	nIRQ2 に設定(PC/104BUS IRQ3 に接続)
I/O, 割込みｺﾝﾄﾛｰﾗ	PG4/nCS0	O	nCS0 に設定
	PG3/nCS1	O	nCS1 に設定
	PG2/nCS2	O	nCS2 に設定
	PG1/nCS3/nOE/nIRQ7	I	nIRQ7 に設定(PC/104BUS IRQ7 に接続)
	PG0/nCAS/nIRQ6	I	nIRQ6 に設定(PC/104BUS IRQ6 に接続)

※　各ポートの機能設定・ディレクション設定方法に関しては、CPU のデータシートをご参照下さい。

※　コントローラ名称は、ルネサステクノロジ社発行の H8S/2643 シリーズハードウェアマニュアルに記載されている名称です。

※1　ADC CH4 ﾃﾞｰﾀの入力元の選択は、JP4 により RTC 温度値または CN4(13)に設定されます。

※2　S1 は 8bit ディップスイッチで、CPU 内蔵 ADC CH0～CH3 未使用時に S1 の bit5～bit8 が読み出し可能です。

6.3. 外部割込み接続

CPU の各割込み端子と外部デバイスとの接続関係を、本書表 6 に示します。

表 6　外部割込み割付

割込み要因	接続端子名	接　　続　　先
nIRQ7	PG1/nCS3/nOE/nIRQ7	PC/104 BUS の IRQ7※1
nIRQ6	PG0/nCAS/nIRQ6	PC/104 BUS の IRQ6※1
nIRQ5	P35/SCK1/SCK4/SCL0/nIRQ5	PC/104 BUS の IRQ5※1
nIRQ4	P32/SCK0/SDA1/nIRQ4	PC/104 BUS の IRQ4※1
nIRQ2	PF0/nBREQ/nIRQ2	PC/104 BUS の IRQ3※1
nIRQ1	P16/PO14/TIOCA2/PWM2/nIRQ1	未使用
nIRQ0	P14/PO12/TIOCA1/nIRQ0	RTC(RTC-7301SF)の割込み端子
NMI	NMI	PC/104 BUS の nIOCHCK

※1　接続先 IRQ7～IRQ3 は、ISR レジスタで立ち上がりエッジ検出に設定する必要があります。

6.4. 外部 DMA 接続

CPU 内蔵の DMA 制御端子は、PC/104 BUS の DMA 制御端子と接続されています。

接続関係を本書表 7 に示します。

表 7　外部ＤＭＡ割付

ＤＭＡチャネル番号	接続端子名	接　　続　　先
0	P80/nDREQ0	PC/104 BUS の DREQ1※1
	P84/nDACK0	PC/104 BUS の nDACK1
1	P81/nDREQ1	PC/104 BUS の DREQ2※1 I
	P85/nDACK1	PC/104 BUS の nDACK2

※1　入力信号レベルは、論理反転されて CPU に入力されます。

6.4.1. 外部 DMA アクノリッジ接続

PC/104 BUS の TC 端子は LF53L 上の CPLD に接続されており、CPU 内蔵の DMA アクノリッジ制御端子 P83/nTEND1 または P82/nTEND0 が LOW となった時に HI にアサートされます。

6.5. シリアルステータスレジスタビットマップ

LF53L のシリアルポートは全て EIA-574 準拠の制御信号が接続でき、各信号は CPU 内蔵 I/O ポート及び制御信号用外部 I/O により制御します。

表 8 にシリアル制御制御信号用の外部 I/O ビットマップを示します。

表 8 シリアル制御信号の外部 I/O ビットマップ

アドレス	デバイス名	I/O	CPU 端子名	アサイン	接続先
H'D00000	74VHC574	O	PD0/D8	RTS0	CN7(4)
			PD1/D9	DTR0	CN7(7)
			PD2/D10	RTS1	CN7(14)
			PD3/D11	DTR1	CN7(17)
			PD4/D12	RTS3	CN7(24)
			PD5/D13	DTR3	CN7(27)
			PD6/D14	RTS4	CN7(34)
			PD7/D15	DTR4	CN7(37)
H'D00000	74VHC541	I	PD0/D8	DSR0	CN7(2)
			PD1/D9	CTS0	CN7(6)
			PD2/D10	DCD0	CN7(1)
			PD3/D11	CI0	CN7(8)
			PD4/D12	DSR1	CN7(12)
			PD5/D13	CTS1	CN7(16)
			PD6/D14	DCD1	CN7(11)
			PD7/D15	CI1	CN7(18)
H'D00001	74VHC541	I	PD0/D8	DSR3	CN7(22)
			PD1/D9	CTS3	CN7(26)
			PD2/D10	DCD3	CN7(21)
			PD3/D11	CI3	CN7(28)
			PD4/D12	DSR4	CN7(32)
			PD5/D13	CTS4	CN7(36)
			PD6/D14	DCD4	CN7(31)
			PD7/D15	CI4	CN7(38)

7. 外部接続仕様

本項では、LF53L 内主要部のデバイス＜－＞デバイス間およびデバイス＜－＞コネクタ間の電気的接続仕様につき説明します。

7.1. シリアル通信インターフェース部

LF53L は、シリアル通信インターフェースとして、LF53L 上 CPU の内蔵シリアルインターフェース 5 チャンネル（SCI0～SCI4)、及び、EIA-574 準拠の制御信号を RS232C レベルで外部と接続する事が可能です。

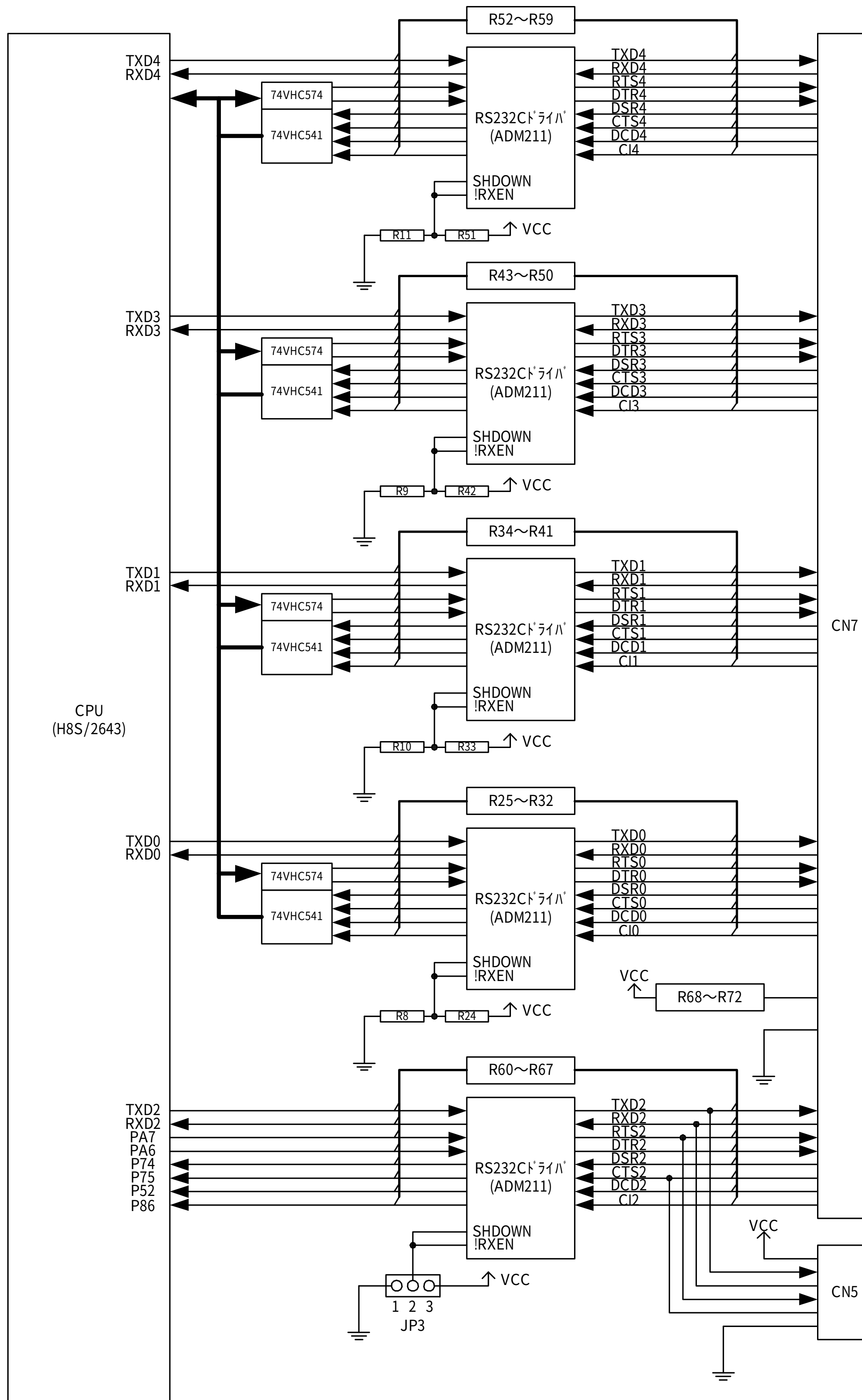
尚　TTL レベルで外部と接続することも可能ですが、その場合、基板上のジャンパ、抵抗、及び、IC を本書表 9 の「TTL 接続状態」行の通りに実装し直す必要があります。

表 9　シリアル制御信号入出力レベル設定仕様

ﾁｬﾈﾙ	設定個所	RS232C 設定状態	TTL 設定状態	信号名	ﾁｬﾈﾙ	設定個所	RS232C 設定状態	TTL 設定状態	信号名
CH0	R25	開放	短絡	TxD0	CH3	R43	開放	短絡	TxD3
	R26	開放	短絡	RTS0		R44	開放	短絡	RTS3
	R27	開放	短絡	DTR0		R45	開放	短絡	DTR3
	R28	開放	短絡	RxD0		R46	開放	短絡	RxD3
	R29	開放	短絡	DSR0		R47	開放	短絡	DSR3
	R30	開放	短絡	CTS0		R48	開放	短絡	CTS3
	R31	開放	短絡	DCD0		R49	開放	短絡	DCD3
	R32	開放	短絡	CI0		R50	開放	短絡	CI3
	U16	実装	未実装	―		U18	実装	未実装	―
CH1	R34	開放	短絡	TxD1	CH4	R52	開放	短絡	TxD4
	R35	開放	短絡	RTS1		R53	開放	短絡	RTS4
	R36	開放	短絡	DTR1		R54	開放	短絡	DTR4
	R37	開放	短絡	RxD1		R55	開放	短絡	RxD4
	R38	開放	短絡	DSR1		R56	開放	短絡	DSR4
	R39	開放	短絡	CTS1		R57	開放	短絡	CTS4
	R40	開放	短絡	DCD1		R58	開放	短絡	DCD4
	R41	開放	短絡	CI1		R59	開放	短絡	CI4
	U17	実装	未実装	―		U19	実装	未実装	―
CH2	JP3	1-2 短絡	2-3 短絡	―					
	R60	開放	短絡	TxD2					
	R61	開放	短絡	RTS2					
	R62	開放	短絡	DTR2					
	R63	開放	短絡	RxD2					
	R64	開放	短絡	DSR2					
	R65	開放	短絡	CTS2					
	R66	開放	短絡	DCD2					
	R67	開放	短絡	CI2					
	U20	実装	未実装	―					

※出荷時は、RS232C 設定状態となっています。

図 6 シリアル通信インターフェース部接続仕様



7.2. RTC・I/O・S1 部

LF53L 上の RTC は、時計機能の他クロック出力機能、温度を電圧として出力する機能を有しています。

LF53L では、RTC の温度電圧出力を CPU のアナログポートで読出す事が可能で、同信号は I/O コネクタ（CN4）に接続することもできます。

また、CPU 内蔵の多機能 I/O 信号も I/O コネクタ（CN4）に接続されています。

図 7 に RTC･I/O･S1 部の接続図を示します。

7.2.1. RTC のバックアップ仕様

LF53L 上の RTC は、JP1 を短絡する事によりリチウム一次電池によりメイン電源断時もバックアップされます。

おおよそのバックアップ時間は、下式により求められます。（非アクセス時、FOUT=OFF、VTEMP=OFF 時の消費電流で計算）

● リチュウム一次電池（CR2032/1HF）実装時のバックアップ時間

t＝電池容量（mAH）÷使用負荷電流(A)

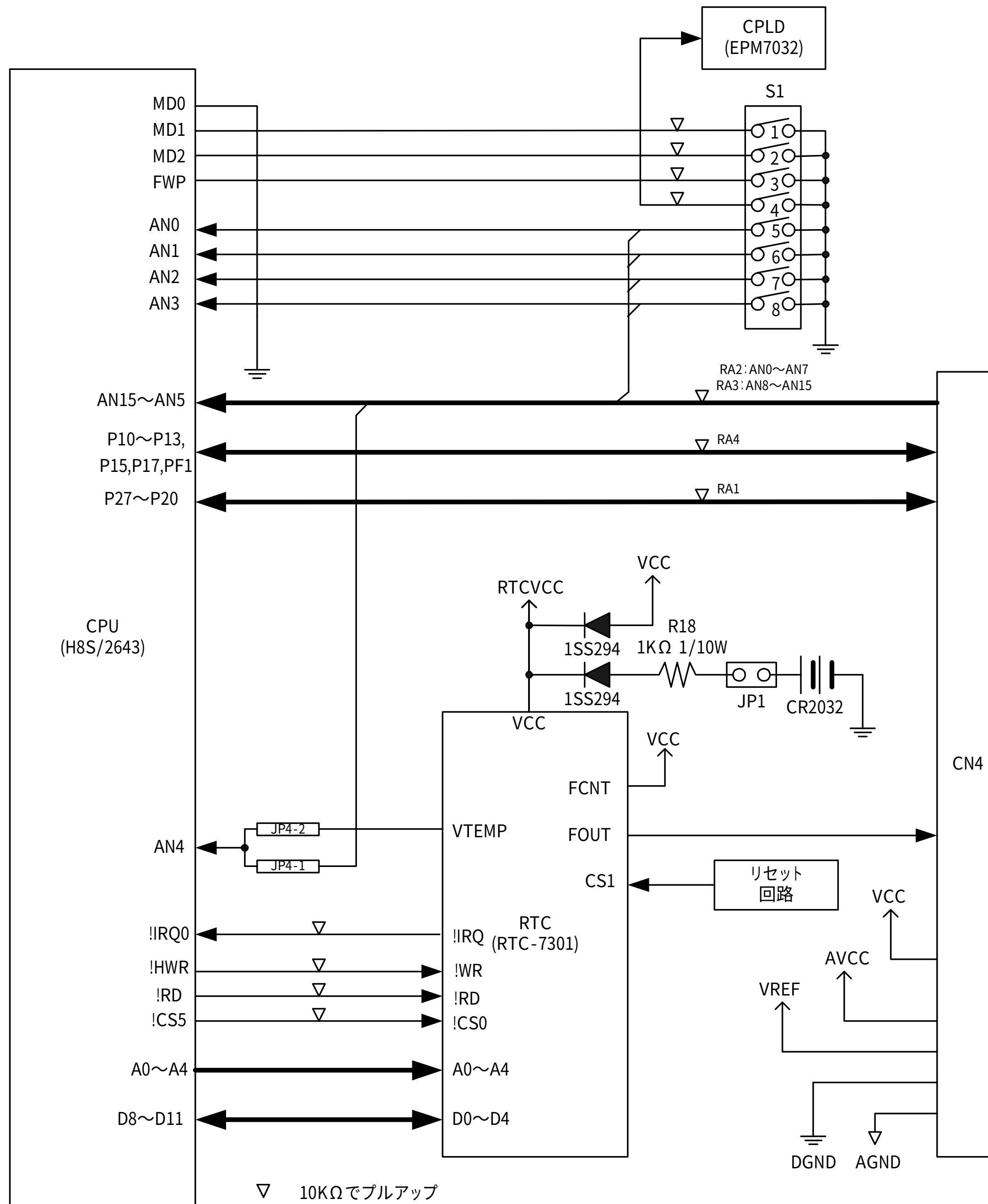
t：放電時間(h)

t（最悪値）＝220mAH÷2.0uA（RTC 消費電流 Max）　110,000 時間　4,583 日　12.6 年

t（平均値）＝220mAH÷1.0uA（RTC 消費電流 Max）　220,000 時間　9,166 日　25 年

※　上記はリチュウム一次電池が満充電時の概算値であり、実際の時間は周辺温度環境等により変動します。

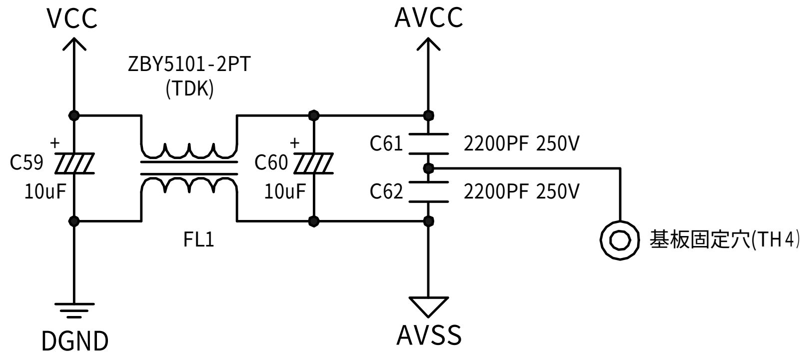
図 ７　ＲＴＣ・Ｉ／Ｏ・Ｓ１部接続仕様



7.3. アナログ電源部

LF53L 上 CPU のアナログ電源端子（AVCC(109)及び AVSS(127)）に供給されるアナログ電源は、デジタル電源ノイズの影響を抑えるため、図 8 の回路仕様で接続されています。

図 8　アナログ電源部接続仕様

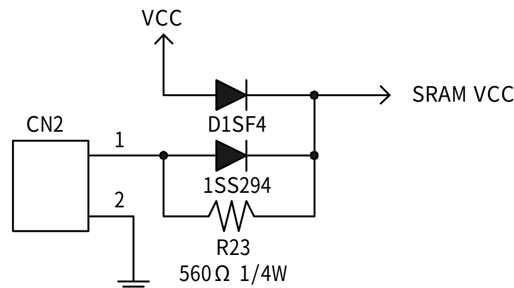


7.4. 外部バッテリ接続部

SRAM のバックアップを可能とするため、LF53L 上には外部バッテリーの入力コネクタが実装されています。

図 9 にバッテリー入力部の接続図を示します。

図 9　バッテリー入力部接続仕様

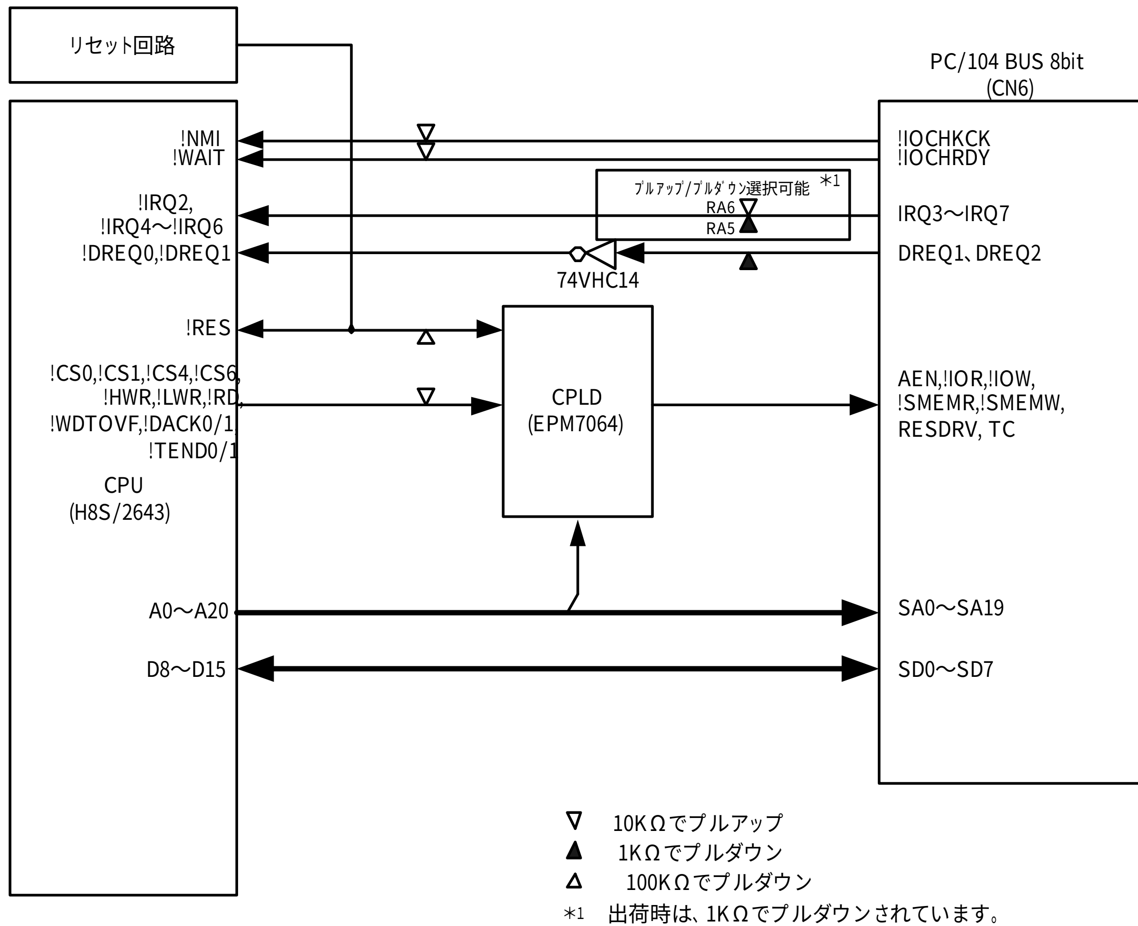


7.5. PC/104 BUS インターフェース部

LF53L は、PC/104 16bit BUS 仕様に準拠※1 したバスを持ち、多種に及ぶ PC/104 スレーブボード※2 と接続する事により様々なアプリケーションへの応用が可能です。

PC/104 BUS インターフェース部は、図 10 の接続となっています。

図 10 PC／104 BUSインターフェース部接続仕様



※ リセット信号（RESDRV）は、約 100ms の間アサートされます。

※1 一部非対応の信号があり、タイミングは CPU 内蔵 BSC、及び、CPLD 内部ウェイトレジスタにより可変となっておりますが、バスドライブ能力やタイミング等は完全に互換ではありませんのでご注意下さい。

＊2 スレーブボードによっては相性によりうまく接続できない場合があります。

8. コネクタ仕様

本項では、LF53L に実装されている各コネクタについて説明します。

8.1. 外部バッテリー接続コネクタ（CN2）

本コネクタは、LF53L 上 SRAM をバッテリーでバックアップを行なう場合に、外部バッテリーと接続します。

接続するバッテリーは、3V 以上の電圧を出力可能な１次電池または Ni-Cd 電池を接続して下さい。
尚　１次電池を接続する場合は R23 を必ず外して下さい。
また、Ni-Cd 電池を接続し、トリクル充電を行なう場合は電池の仕様に合った抵抗を実装して下さい。
表 10 に外部バッテリー接続コネクタの機能／ピンアサインを示します。

表 10　外部バッテリー接続コネクタ（CN2）

使用コネクタ：IL-G-2P-S3T2-SA（ＪＡＥ）

勘合コネクタ：IL-G-6S-S3C2-SA ＋ IL-C2-SC-0001×6 個 (ＪAE)

端子番号	信　号　名	I/O	信号レベル	機　　　能
1	VBATT	P	+3〜5VDC	バッテリー電源
2	GND	P	0V	シグナルグランド

※　本コネクタの接続仕様は、本書図 9 をご参照下さい。

8.2. 電源接続コネクタ（CN3）

本コネクタは、LF53L に供給する電源装置と接続します。

本コネクタは、標準で 2P のコネクタが実装されておりますが、電流を多くとりたい場合等には 4P のコネクタを実装することも可能です。(4P を実装した場合には、外部バッテリ接続コネクタ(CN2)は実装できません。)

表 11、表 12 に電源接続コネクタの機能／ピンアサインを示します。

表 11　電源接続コネクタ（2P の場合）

使用コネクタ：IL-G-2P-S3T2-SA（ＪＡＥ）

勘合コネクタ：IL-G-2S-S3C2-SA ＋ IL-C2-SC-0001×2 個（JAE)

端子番号	信　号　名	I/O	信号レベル	機　　　能
1	VCC	P	+5VDC	回路電源
2	GND	P	0V	シグナルグランド

表 12　電源接続コネクタ（4P の場合）

使用コネクタ：IL-G-4P-S3T2-SA（ＪＡＥ）

勘合コネクタ：IL-G-4S-S3C2-SA ＋ IL-C2-SC-0001×4 個（JAE)

端子番号	信　号　名	I/O	信号レベル	機　　　能
1	VCC	P	+5VDC	回路電源
2	VCC	P	+5VDC	回路電源
3	GND	P	0V	シグナルグランド
4	GND	P	0V	シグナルグランド

8.3. I/O 接続コネクタ（CN4）

本コネクタは、LF53L 上 CPU 内蔵 I/O 信号及び RTC のカウンタ出力端子が接続されています。

表 13 に I/O 接続コネクタの機能／ピンアサインを示します。

表 13　Ｉ／Ｏ接続コネクタ（ＣＮ４）

使用コネクタ：XG4C-4031（オムロン）または同等品

勘合コネクタ：XG4M-4030-T（オムロン）または同等品

端子番号	信号名	I/O	機　　能	端子番号	信号名	I/O	機　　能
1	AVCC	O	ｱﾅﾛｸﾞ DC+5V 電源	2	AGND	―	ｱﾅﾛｸﾞｸﾞﾗﾝﾄﾞ
3	VERF_I	I	ADC 基準電源	4	AGND	―	ｱﾅﾛｸﾞｸﾞﾗﾝﾄﾞ
5	P40/AN0	I	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ	6	P90/AN8	I	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ
7	P41/AN1	I	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ	8	P91/AN9	I	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ
9	P42/AN2	I	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ	10	P92/AN10	I	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ
11	P43/AN3	I	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ	12	P93/AN11	I	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ
13	P44/AN4	I	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ	14	P94/AN12	I	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ
15	P45/AN5	I	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ	16	P95/AN13	I	TTL/ｱﾅﾛｸﾞ入力ﾎﾟｰﾄ
17	P46/AN6/DA0	IO	TTL/ｱﾅﾛｸﾞ入出力ﾎﾟｰﾄ	18	P96/AN14/DA2	IO	TTL/ｱﾅﾛｸﾞ入出力ﾎﾟｰﾄ
19	P47/AN7/DA1	IO	TTL/ｱﾅﾛｸﾞ入出力ﾎﾟｰﾄ	20	P97/AN15/DA3	IO	TTL/ｱﾅﾛｸﾞ入出力ﾎﾟｰﾄ
21	VCC	O	DC+5V 電源	22	VCC	O	DC+5V 電源
23	P20	IO	TTL 入出力ﾎﾟｰﾄ	24	P10	IO	TTL 入出力ﾎﾟｰﾄ
25	P21	IO	TTL 入出力ﾎﾟｰﾄ	26	P11	IO	TTL 入出力ﾎﾟｰﾄ
27	P22	IO	TTL 入出力ﾎﾟｰﾄ	28	P12	IO	TTL 入出力ﾎﾟｰﾄ
29	P23	IO	TTL 入出力ﾎﾟｰﾄ	30	P13	IO	TTL 入出力ﾎﾟｰﾄ
31	P24	IO	TTL 入出力ﾎﾟｰﾄ	32	P15	IO	TTL 入出力ﾎﾟｰﾄ
33	P25	IO	TTL 入出力ﾎﾟｰﾄ	34	P17	IO	TTL 入出力ﾎﾟｰﾄ
35	P26	IO	TTL 入出力ﾎﾟｰﾄ	36	PF1	IO	TTL 入出力ﾎﾟｰﾄ
37	P27	IO	TTL 入出力ﾎﾟｰﾄ	38	FOUT	O	RTC ｶｳﾝﾀ出力(TTL)
39	GND	―	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ	40	GND	―	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ

※　本コネクタの接続仕様は、本書図 7 をご参照下さい。

8.4. シリアルインターフェース接続コネクタ 1（CN7）

本コネクタは、CPU 内蔵 SCI0～SCI5 と CPU 内蔵 I/O ポート及びシリアルステータスレジスタ制御信号が RS232C または TTL レベルの信号で接続されます。（RS232C／TTL レベルの切替え方法は、本書表 9 をご参照下さい。）

本書表 14 にシリアル通信接続コネクタ１の機能／ピンアサインを示します。

表 14　シリアル通信接続コネクタ１（ＣＮ７）

使用コネクタ：XG4C-5031（オムロン）または同等品

勘合コネクタ：XG4M-5030-T（オムロン）または同等品

端子番号	信号名	入出力	機　　能	端子番号	信号名	入出力	機　　能
1	nDCD0	入力	ｷｬﾘｱ検出信号 0	2	nDSR0	入力	ﾃﾞｰﾀｾｯﾄﾚﾃﾞｨ信号 0
3	RxD0	入力	受信ﾃﾞｰﾀ 0	4	nRTS0	出力	送信要求信号 0
5	TxD0	出力	送信ﾃﾞｰﾀ 0	6	nCTS0	入力	送信可信号 0
7	nDTR0	出力	ﾃﾞｰﾀ端末ﾚﾃﾞｨ信号 0	8	nCI0	入力	被呼表示 0
9	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ	10	VCC	出力	DC+5V(R68 短絡時)
11	nDCD1	入力	ｷｬﾘｱ検出信号 1	12	nDSR1	入力	ﾃﾞｰﾀｾｯﾄﾚﾃﾞｨ信号 1
13	RxD1	入力	受信ﾃﾞｰﾀ 1	14	nRTS1	出力	送信要求信号 1
15	TxD1	出力	送信ﾃﾞｰﾀ 1	16	nCTS1	入力	送信可信号 1
17	nDTR1	出力	ﾃﾞｰﾀ端末ﾚﾃﾞｨ信号 1	18	nCI1	入力	被呼表示 1
19	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ	20	VCC	出力	DC+5V(R69 短絡時)
21	nDCD3	入力	ｷｬﾘｱ検出信号 3	22	nDSR3	入力	ﾃﾞｰﾀｾｯﾄﾚﾃﾞｨ信号 3
23	RxD3	入力	受信ﾃﾞｰﾀ 3	24	nRTS3	出力	送信要求信号 3
25	TxD3	出力	送信ﾃﾞｰﾀ 3	26	nCTS3	入力	送信可信号 3
27	nDTR3	出力	ﾃﾞｰﾀ端末ﾚﾃﾞｨ信号 3	28	nCI3	入力	被呼表示 3
29	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ	30	VCC	出力	DC+5V(R70 短絡時)
31	nDCD4	入力	ｷｬﾘｱ検出信号 4	32	nDSR4	入力	ﾃﾞｰﾀｾｯﾄﾚﾃﾞｨ信号 4
33	RxD4	入力	受信ﾃﾞｰﾀ 4	34	nRTS4	出力	送信要求信号 4
35	TxD4	出力	送信ﾃﾞｰﾀ 4	36	nCTS4	入力	送信可信号 4
37	nDTR4	出力	ﾃﾞｰﾀ端末ﾚﾃﾞｨ信号 4	38	nCI4	入力	被呼表示 4
39	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ	40	VCC	出力	DC+5V(R71 短絡時)
41	nDCD2	入力	ｷｬﾘｱ検出信号 2	42	nDSR2	入力	ﾃﾞｰﾀｾｯﾄﾚﾃﾞｨ信号 2
43	RxD2[※1]	入力	受信ﾃﾞｰﾀ 2	44	nRTS2[※1]	出力	送信要求信号 2
45	TxD2[※1]	出力	送信ﾃﾞｰﾀ 2	46	nCTS2[※1]	入力	送信可信号 2
47	nDTR2	出力	ﾃﾞｰﾀ端末ﾚﾃﾞｨ信号 2	48	nCI2	入力	被呼表示 2
49	GND	－	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ	50	VCC	出力	DC+5V(R72 短絡時)

※　本コネクタの信号レベルは VCC/GND を除き、TTL または EIA/TIA-232E です。

※　本コネクタの接続仕様は、本書図 6 をご参照下さい。

[※1] CN5 と並列に接続されています。

8.5. シリアルインターフェース接続コネクタ 2（CN5）

本コネクタは、CPU 内蔵 SCI2 及び CPU 内蔵 I/O ポートと RS232C または TTL レベルの信号で接続されています。

本コネクタに接続されている CPU 内蔵 SCI2 は、CPU 内蔵 FLASH ROM への書込みが可能なポートで、CPU 内蔵 FLASH ROM への書込みは、本コネクタより行います。

表 15 にシリアル通信接続コネクタ２の機能／ピンアサインを示します。

表 15　シリアル通信接続コネクタ２（ＣＮ５）

使用コネクタ：IL-G-6P-S3T2-SA（ＪＡＥ）

勘合コネクタ：IL-G-6S-S3C2-SA ＋ IL-C2-SC-0001×6 個（J AE)

端子番号	信　号　名	I/O	信号レベル	機　　　能
1	TxD2	O	EIA/TIA-232E または TTL	送信ﾃﾞｰﾀ 2
2	nRTS2	O	EIA/TIA-232E または TTL	送信要求信号 2
3	RxD2	I	EIA/TIA-232E または TTL	受信ﾃﾞｰﾀ 2
4	nCTS2	I	EIA/TIA-232E または TTL	送信可信号 2
5	GND	P	0V	シグナルグランド
6	VCC	P	+5VDC	DC+5V 電源

※　本コネクタの接続仕様は、本書図 6 をご参照下さい。

8.6. PC/104 BUS コネクタ（CN6）

CN6 には、PC/104 BUS 8bit、及び、16bit バス／制御信号を配置しています。

本書表 16 に PC/104 バスコネクタ機能／ピンアサイン本書､表 17 に LF53L における PC/104 BUS 接続コネクタ信号別機能を示します。(表中機能欄の(PULL UP)は、当該端子が+5VDC のプルアップ抵抗にのみに接続されていることを示しています。)

尚　本コネクタは実装オプションです。(内容は、本書 1.2.オーダー情報をご参照下さい。)

表 16　ＰＣ／１０４　ＢＵＳ接続コネクタ（ＣＮ６）

端子番号	信号名	I/O	機　能	端子番号	信号名	I/O	機　能
A1	nIOCHCK	I	ﾉﾝﾏｽｶﾌﾞﾙ割込信号	B1	GND	P	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
A2	SD7	I/O	ﾃﾞｰﾀ 7	B2	RESDRV	O	ﾘｾｯﾄ
A3	SD6	I/O	ﾃﾞｰﾀ 6	B3	+5V	P	+5VDC
A4	SD5	I/O	ﾃﾞｰﾀ 5	B4	IRQ9	－	未接続
A5	SD4	I/O	ﾃﾞｰﾀ 4	B5	-5V	－	未接続
A6	SD3	I/O	ﾃﾞｰﾀ 3	B6	DREQ2	I	DMA ﾘｸｴｽﾄ 2
A7	SD2	I/O	ﾃﾞｰﾀ 2	B7	-12V	－	未接続
A8	SD1	I/O	ﾃﾞｰﾀ 1	B8	nENDXFR	－	未接続
A9	SD0	I/O	ﾃﾞｰﾀ 0	B9	+12V	－	未接続
A10	nIOCHRDY	I	CPU ｳｪｲﾄﾘｸｴｽﾄ	B10	(KEY)	－	未接続
A11	AEN	O	ｱﾄﾞﾚｽｲﾈｰﾌﾞﾙ	B11	nSMEMW	O	ﾒﾓﾘﾗｲﾄ(1MB 領域)
A12	SA19	O	ｱﾄﾞﾚｽ 19	B12	nSMEMR	O	ﾒﾓﾘﾘｰﾄﾞ(1MB 領域)
A13	SA18	O	ｱﾄﾞﾚｽ 18	B13	nIOW	O	I/O ﾗｲﾄ
A14	SA17	O	ｱﾄﾞﾚｽ 17	B14	nIOR	O	I/O ﾘｰﾄﾞ
A15	SA16	O	ｱﾄﾞﾚｽ 16	B15	nDACK3	O	(PULL UP)
A16	SA15	O	ｱﾄﾞﾚｽ 15	B16	DREQ3	－	未接続
A17	SA14	O	ｱﾄﾞﾚｽ 14	B17	nDACK1	O	DMA ｱｸﾉﾘｯｼﾞ 1
A18	SA13	O	ｱﾄﾞﾚｽ 13	B18	DREQ1	I	DMA ﾘｸｴｽﾄ 1
A19	SA12	O	ｱﾄﾞﾚｽ 12	B19	nREFSH	O	(PULL UP)
A20	SA11	O	ｱﾄﾞﾚｽ 11	B20	SYSCLK	O	ｼｽﾃﾑｸﾛｯｸ
A21	SA10	O	ｱﾄﾞﾚｽ 10	B21	IRQ7	I	割込信号 7
A22	SA9	O	ｱﾄﾞﾚｽ 9	B22	IRQ6	I	割込信号 6
A23	SA8	O	ｱﾄﾞﾚｽ 8	B23	IRQ5	I	割込信号 5
A24	SA7	O	ｱﾄﾞﾚｽ 7	B24	IRQ4	I	割込信号 4
A25	SA6	O	ｱﾄﾞﾚｽ 6	B25	IRQ3	I	割込信号 3
A26	SA5	O	ｱﾄﾞﾚｽ 5	B26	nDACK2	O	DMA ｱｸﾉﾘｯｼﾞ 2
A27	SA4	O	ｱﾄﾞﾚｽ 4	B27	TC	O	DMA 最終ｻｲｸﾙ通知
A28	SA3	O	ｱﾄﾞﾚｽ 3	B28	BALE	O	(PULL UP)
A29	SA2	O	ｱﾄﾞﾚｽ 2	B29	+5V	P	+5VDC
A30	SA1	O	ｱﾄﾞﾚｽ 1	B30	OSC	O	(PULL UP)
A31	SA0	O	ｱﾄﾞﾚｽ 0	B31	GND	P	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ
A32	GND	P	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ	B32	GND	P	ｼｸﾞﾅﾙｸﾞﾗﾝﾄﾞ

表 17　ＰＣ／１０４　ＢＵＳ接続コネクタ信号別機能

信号名	機能説明
SD0～7	データ入出力バス下位バイトです。CPU の D8～15 が接続されています。
SA0～19	メモリ空間 24 ビットアドレスの LSB 側 20 ビットです。 SA0～19 は、CPU のアドレス A1～A19 が接続されています、
nIOCHCK	本信号を Low に駆動すると、CPU の NMI（マスク不可割込み）信号がアサートされます。
nIOCHRDY	本信号を Low に駆動すると、CPU の nWAIT 信号がアサートされます。
AEN	AEN は本来 DMA サイクル中を示す信号ですが､LF53L では CPU が PC/104 BUS 領域アクセス時に Low を出力します。
RESDRV	電源投入時、または、外部ﾘｾｯﾄﾄﾘｶﾞにより、約 500ms の間 Hi レベルを出力します。
IRQ3～7	PC/104 BUS からの割込み要求信号で、LF53L では nIRQ2,nIRQ4~7 端子に接続されています。
IRQ9	PC/104 BUS からの割込み要求信号ですが、LF53L では未対応です。
nENDXFR	nENDXFR は本来スレーブからのノーウェイトアクセス要求ですが、LF53L では未対応です。
nSMEMW	nSMEMW は本来 PC/104 BUS アドレスが H'0FFFFF 以下をアクセス時のメモリライト信号ですが、LF53L では PC/104 8bit メモリ（H'900000-H'9FFFFF）領域へのライトアクセス時のみ Low を出力します。
nSMEMR	nSMEMR は本来 PC/104　BUS アドレスが H'0FFFFF 以下をアクセス時のメモリリード信号ですが、LF53L では PC/104 8bit メモリ（H'900000-H'9FFFFF）領域へのリードアクセス時のみ Low を出力します。
nIOW	I/O ライト信号で、LF53L では PC/104　8bit　I/O（H'800000-H'80FFFF）領域へのライトアクセス時のみ Low を出力します。
nIOR	I/O リード信号で、LF53L では PC/104　8bit　I/O（H'800000-H'80FFFF）領域へのリードアクセス時のみ Low を出力します。
DREQ1,2	DREQ1,2 には、極性反転された信号が LF53L　CPU の nDREQ0,1 端子に接続されています。
DREQ3	DREQ1～3 は本来スレーブボードからの DMA リクエスト信号ですが、LF53L では未対応です。
nDACK1,2	nDACK1,2 には、LF53L　CPU の nDACK0,1 端子が接続されています。
nDACK3	nDACK1～3 は本来スレーブボードへの DMA アクノリッジ信号ですが、LF53L では未対応です。
TC	TC には、LF53L　CPLD に接続され、CPU の nTEND0, nTEND1 端子の OR 反転信号が出力されます。
nREFSH	nREFSH は本来 DRAM リフレッシュ信号ですが、LF53L では未対応です。
SYSCLK	PC/104 バスクロックで、LF53L では CPU の PF7/φ端子が接続されています。（出力、非出力は、CPU の内蔵レジスタで設定可能です。）尚　本クロック信号は、PC/104　BUS　信号とは同期していませんのでご注意下さい。

（続く）

（続き）

信号名	機能説明
BALE	BALE は本来コマンドストローブの途中で消えてしまう LA17～23 をラッチするために使用する信号ですが、LF53L では未対応です。
OSC	OSC は本来 14.31818MHz クロック出力信号ですが、LF53L では未対応です。
+5V	CN3 に電源を接続する場合は、CN3 の電源（+5VDC）が接続されます。（PC/104 BUS から LF53L の電源を受給する場合は、CN3 に電源を接続しないで下さい。）
-5V,+12V,-12V	LF53L では未接続なので、スレーブボードでこれらの電源が必要な場合、PC/104 BUS 電源ボードを使用する必要があります。
GND	システムグランド（0V）です。

8.7. CPLD 用 JTAG 接続コネクタ（CN8）

本コネクタは、LF53L 上 CPLD の JTAG 端子に接続されており、CPLD 専用デバッグ・プログラム書込みケーブルと接続します。（本コネクタは、出荷時実装されておりません）

表 18 に CPLD 用 JTAG 接続コネクタの機能／ピンアサインを示します。

表 18　ＣＰＬＤ用ＪＴＡＧ接続コネクタ（ＣＮ８）

適合コネクタ：XG4C-1031（オムロン）または同等品

端子番号	信　号　名	入出力	信号レベル	機　　　能
1	TCK	入力	TTL	データ同期信号
2	GND	－	－	シグナルグランド
3	TDO	出力	TTL	シリアルデータ出力信号
4	VCC	出力	DC+5V	電源
5	TMS	入力	TTL	テストモード選択信号
6	NC	－	－	未接続
7	NC	－	－	未接続
8	NC	－	－	未接続
9	TDI	入力	TTL	シリアルデータ入力信号
１０	GND	－	－	シグナルグランド

9. スイッチ・ジャンパ設定仕様

本項では、LF53L に実装されているスイッチ・ジャンパについて説明します。

9.1. ディップスイッチ（Ｓ１）

S1 は、8 ビットのディップスイッチで、Bit1～3 は CPU の動作モード及びプログラム書込みモードの設定、Bit4 は EPROM 及び FLASH MEMORY のメモリロケーションの設定、Bit5～8 は CPU 内蔵の I/O ポート（P40/AN0～P43/AN3）に接続されており、当該ポートを外部で使用しない場合に、アプリケーションの設定用に使用できます。

S1(Bit1～3)の設定内容を本書表 19、S1(Bit4)の設定内容を、本書表 20、S1（Bit5～8）のビットロケーションを本書表 21 に示します。

表 19　ＣＰＵ動作モード設定（Ｓ１(Bit1～3)）

機　　能	Bit 状態			設定内容
	1(MD1)	2(MD2)	3(FWE)	
CPU 動作モード設定	OFF	OFF	ON	内蔵 ROM 有効通常動作ﾓｰﾄﾞ(MCU ﾓｰﾄﾞ 6)※1
	ON	OFF	ON	内蔵 ROM 無効通常動作ﾓｰﾄﾞ(MCU ﾓｰﾄﾞ 4)
	OFF	OFF	OFF	ﾕｰｻﾞｰﾌﾟﾛｸﾞﾗﾑﾓｰﾄﾞ
	OFF	ON	OFF	ﾌﾞｰﾄﾌﾟﾛｸﾞﾗﾑﾓｰﾄﾞ

※1　出荷時の設定です。

● オンボードプログラムの設定 S1 を、ブートプログラムモードに設定し、電源を投入するとＣＰＵはブートプログラムモードに入り、SCI2 からのプログラミング待ち状態となります。
尚　CPU のオンボードプログラム方法に関しては本仕様書１０．ＣＰＵに対するプログラム書込の項をご参照下さい。

表 20　CPU 内蔵 FLASH ROM/外部 EPROM/外部 FLASH MEMORY メモリマップ設定（S1(Bit4)）

CPU 動作モード	アドレス	名　　称	S1 Bit4	メモリ容量	機　能
Mode6	H'000000～03FFFF	CPU 内蔵 FLASH ROM	OFF	256Kbyte	ﾌﾞｰﾄ領域
	H'040000～04BFFF	EPROM		512Kbyte	読出専用領域
	H'200000～2FFFFF	FLASH MEMORY		1Mbyte	不揮発ﾃﾞｰﾀ領域
	H'000000～03FFFF	CPU 内蔵 FLASH ROM	ON	256Kbyte	ﾌﾞｰﾄ領域
	H'040000～13FFFF	FLASH MEMORY		1Mbyte	不揮発ﾃﾞｰﾀ領域
	H'200000～27FFFF	EPROM		512Kbyte	読出専用領域
Mode4	H'000000～07FFFF	EPROM	OFF	512Kbyte	ﾌﾞｰﾄ領域
	H'200000～2FFFFF	FLASH MEMORY		1Mbyte	不揮発ﾃﾞｰﾀ領域
	H'000000～0FFFFF	FLASH MEMORY	ON	1Mbyte	ﾌﾞｰﾄ領域
	H'200000～27FFFF	EPROM		512Kbyte	読出専用領域

※　**出荷時は、OFF に設定されています。**

表 21　S 1 (Bit5～8)ビットマップ

S1	接　　続　　先
Bit5	CPU 内蔵 I/O ポート P40/AN0
Bit6	CPU 内蔵 I/O ポート P41/AN1
Bit7	CPU 内蔵 I/O ポート P42/AN2
Bit8	CPU 内蔵 I/O ポート P43/AN3

※　出荷時の設定は全 Bit OFF です。

9.2. バッテリー接続ジャンパ(JP1)

本ジャンパは 2 ピンのジャンパピンで部品面に実装されており、LF53L 上の RTC にバッテリーを接続する場合に短絡します。（出荷時は開放）

9.1. アナログリファレンス電圧接続先設定ジャンパ（ＪＰ２）

JP2_1,JP2_2 は、LF53L 上 CPU アナログリファレンス電圧端子（VREF(110)）への接続先を設定する半田面に設けられている半田短絡型のジャンパです。

表 22 に JP2_1,JP2_2 の設定内容を示します。

表 22　アナログリファレンス電圧接続先設定ジャンパ（ＪＰ２＿１、ＪＰ２＿２）

項番	JP2 の状態	内　　　　容
1	JP2_1 短絡	基板上 AVCC（+5VDC）に接続
2	JP2_2 短絡	CN4(3)に接続

※　出荷時は、項番 1 に設定されています。

9.2. ＳＣＩＦ２　接続信号レベル設定ジャンパ（ＪＰ３）

本ジャンパは 3 ピンのジャンパピンで部品面に実装されており、CPU 内蔵 SCI2 に接続されている RS232C ドライバ(U20)のイネーブル／ディセーブルを設定します。

表 23 に JP3 の設定内容を示します。

表 23　RS232C ドライバ(U20)のイネーブル／ディセーブル設定(JP3)

項番	JP3 の状態	内　　　　容
1	1-2 短絡	RS232C ドライバ(U20)イネーブル
2	2-3 短絡	RS232C ドライバ(U20)ディセーブル

※　出荷時は、項番 1 に設定されています。

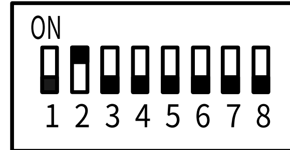
注）JP3 は必ずどちらかを短絡して下さい。

10. ＣＰＵプログラム書込み方法

LF53L 上の CPU は、以下の方法によりオンボードでのプログラム書換が可能です。

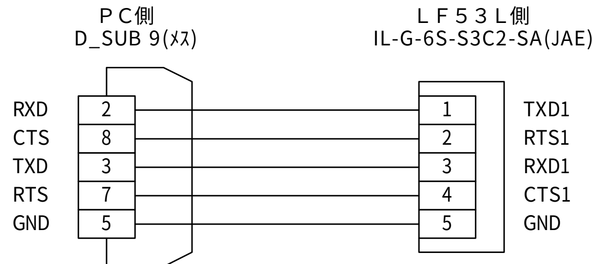
以下に、弊社「FWRITE2.EXE」を使用する場合を例に書込み方法を記載致します。

1） LF53L の電源が OFF 状態で、LF53L 上 S1 を下図の状態に設定します。



2）「FWRITE2.EXE」がインストールされた PC の RS232C ポートと LF64 の CN2 を、弊社販売品「LFC1 ケーブル」、または、下図のケーブルをご作成いただき接続します。

図 11 LF53Ｌ<->PC 接続ケーブル結線図

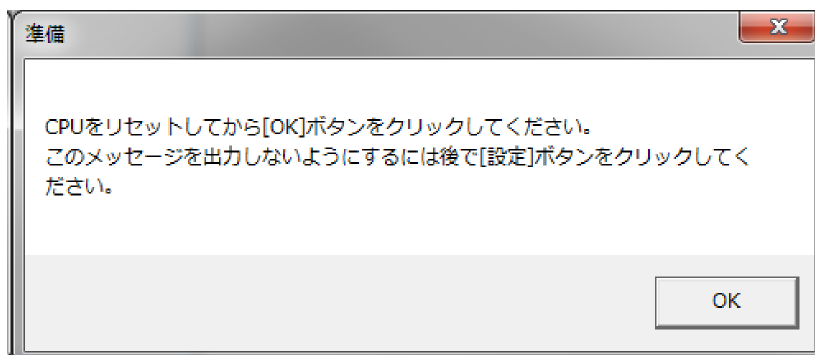


3）「FWRITE2.EXE」を起動し、下図の設定とします。

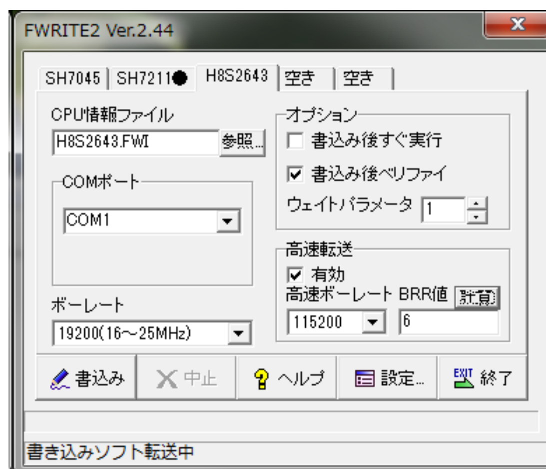
図 12 FWRITE2 設定



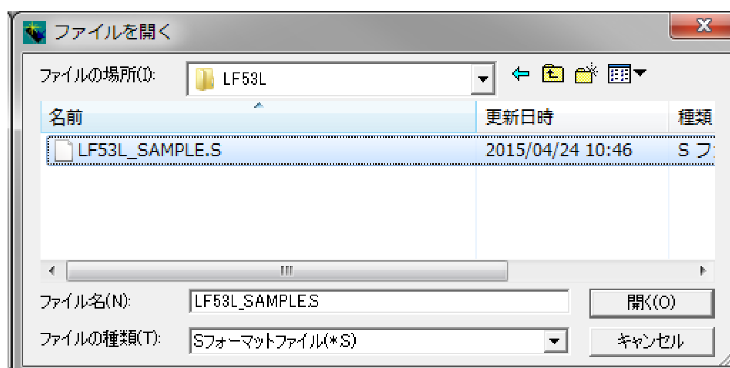
4）上図「書込み」ボタンをクリックすると下図ウィンドウが現れますので「OK」をクリックします。



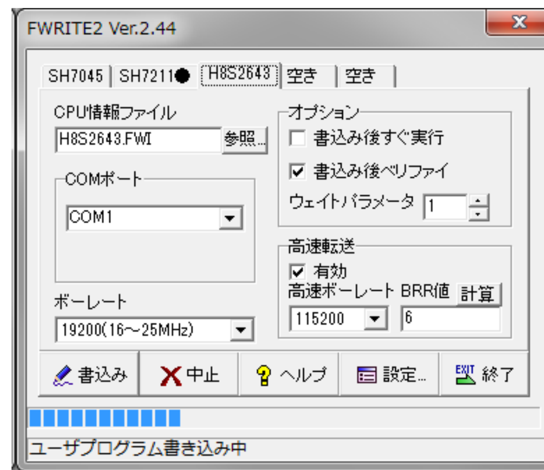
5）「OK」ボタンをクリックし、下図ウィンドウの「書込み」をクリクすると、書込みファイルの転送が開始されます。



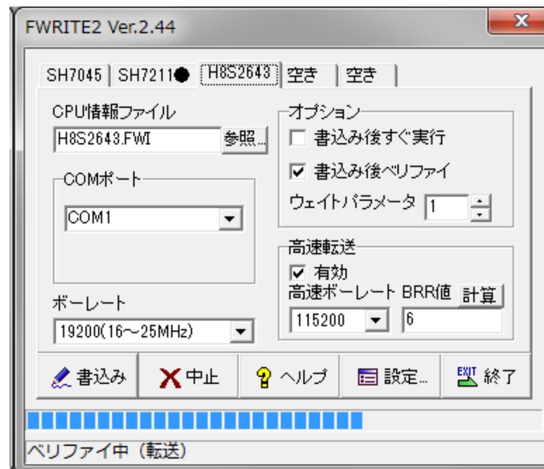
6）上図でプログレスバーが 100%となると、下図「ファイルを開く」ウィンドウとなりますので、書込みたいファイルを選択します。



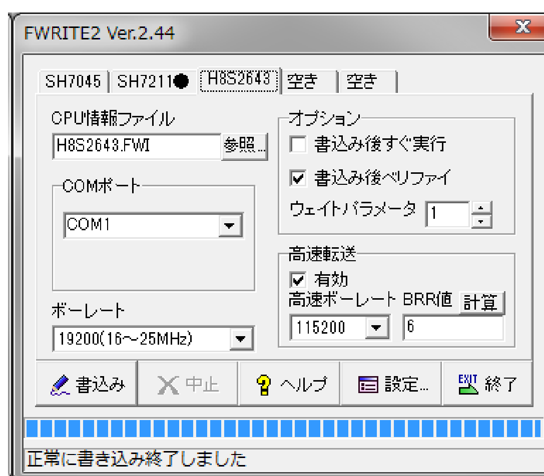
7）上図で書込みファイルをダブルクリック、もしくは、選択後「開く」ボタンをクリックすると下図ウィンドウとなり書込みが終了します。



↓

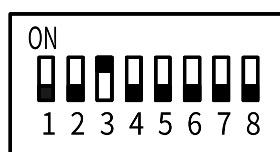


↓



8）「FWRITE2.EXE」を終了し、LF53L の電源を OFF します。

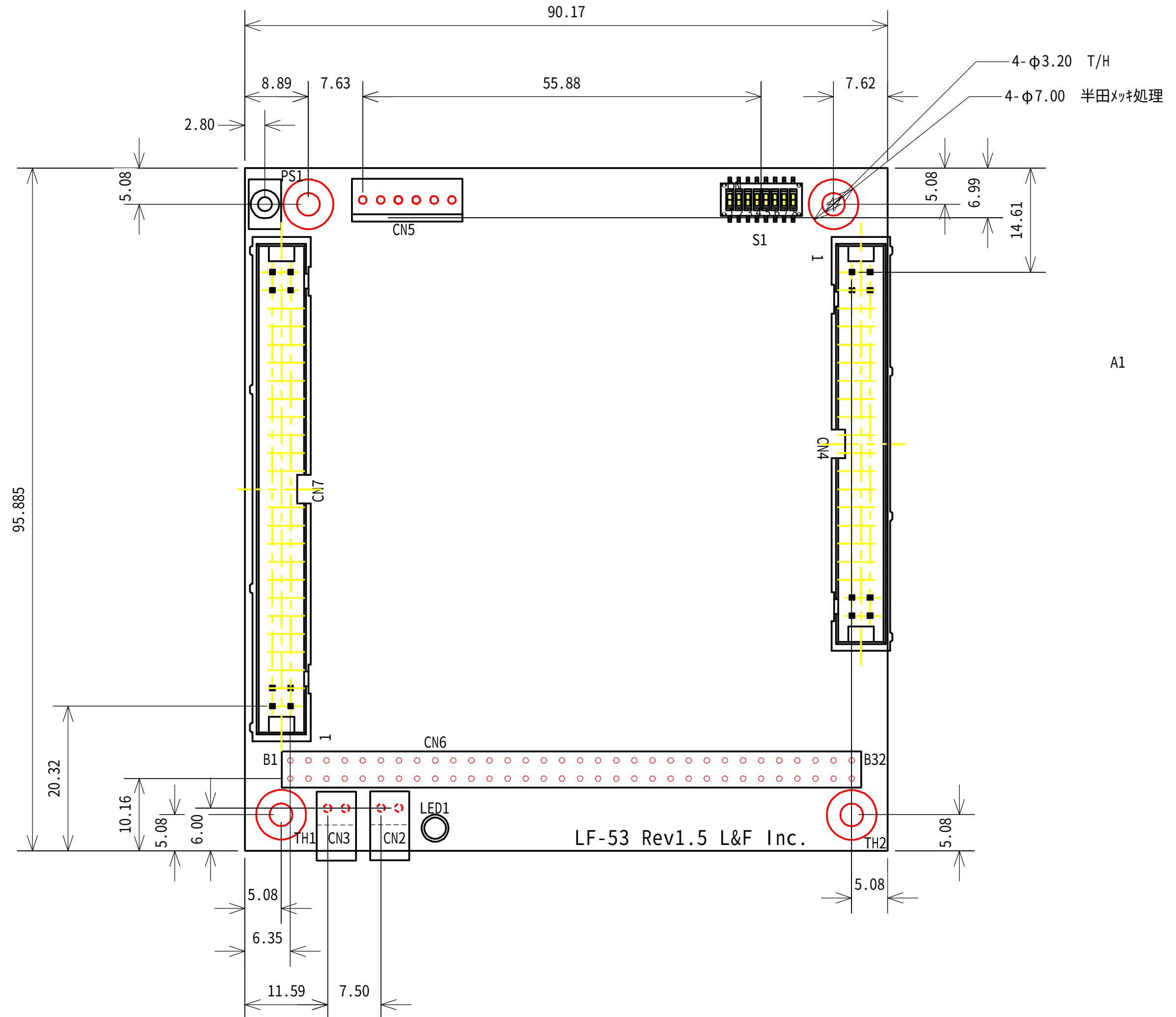
9）LF53L 上の S1 を下図に設定します。



11. 基板外形・配置

LF53L の基板外形・配置図を図 13 に示します。

図 13　基板外形・配置



変更履歴　　　　　　　　　　変更箇所には直前の版との相違を表示するマーク「☆」がある。

版	変更理由	変更ページ　変更事項	変更日
1.5		新規作成	2014/04/23

- 本文書に記載した内容は、慎重に製作致しましたが、万一、ご不審点、誤り等お気付きの点がございましたらご連絡いただきたくお願い致します。
- 本書に記載されているブランド名または製品名は、それらの所有者の商標もしくは登録商標です。
- 本取扱い説明書の閲覧には、Adobe 社の AcrobatReader が必要です。
- 製品に関するお問合せは、回答の正確性を維持する意味において下記 e-mail、または、FAX でのみ受け付けております。
  電話にてのお問合せは受け付けておりませんのでご了承下さい。



株式会社エル・アンド・エフ

〒175-0083

東京都板橋区徳丸４－２－９

URL http://www.l-and-f.co.jp

FAX：03-5398-1181

E-mail：toiawase@l-and-f.co.jp